

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:)
MIRABEL ET AL.)
)
Serial No. 10/616,413)
)
Filing Date: July 9, 2003)
)
For: METHOD OF CONTROLLING AN)
ELECTRONIC NON-VOLATILE MEMORY)
AND ASSOCIATED DEVICE)
)

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

COMMISSIONER FOR PATENTS
P.O. BOX 1450
ALEXANDRIA, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of the
priority French Application No. 0208755.

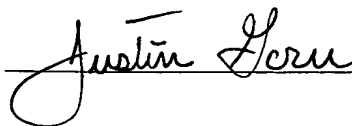
Respectfully submitted,



MICHAEL W. TAYLOR
Reg. No. 43,182
Allen, Dyer, Doppelt, Milbrath
& Gilchrist, P.A.
255 S. Orange Avenue, Suite 1401
Post Office Box 3791
Orlando, Florida 32802
Telephone: 407/841-2330
Fax: 407/841-2343
Attorney for Applicant

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being
deposited with the United States Postal Service as first class
mail in an envelope addressed to: COMMISSIONER FOR PATENTS,
P.O. BOX 1450, ALEXANDRIA, VA 22313-1450, on this 6th day of
August, 2003.





BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 24 JUIN 2003

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

A handwritten signature in black ink, appearing to read 'M+Planche', enclosed within a large, loopy oval stroke.

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr



26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08

Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



N° 11354*01

REQUÊTE EN DÉLIVRANCE 1/2

Important ! Remplir impérativement la 2ème page.

Cet imprimé est à remplir lisiblement à l'encre noire

06 540 77 190 (50)

REMISE DES PIÈCES DATE 11 JUIL 2002 LIEU 75 INPI PARIS N° D'ENREGISTREMENT 0208755 NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE 11 JUIL 2002 PAR L'INPI		1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE CABINET BALLOT Conseils en Propriété Industrielle 122, Rue Edouard Vaillant 92593 LEVALLOIS PERRET CEDEX Tél. 01.49.64.61.00 - Fax 01.49.64.61.30	
Vos références pour ce dossier <i>(facultatif)</i> 016617 JPG/CC			
Confirmation d'un dépôt par télécopie <input type="checkbox"/> N° attribué par l'INPI à la télécopie			
2 NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
<i>Demande de brevet initiale</i> N° _____ Date ____/____/____ <i>ou demande de certificat d'utilité initiale</i> N° _____ Date ____/____/____			
Transformation d'une demande de brevet européen <i>Demande de brevet initiale</i> N° _____ Date ____/____/____			
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) PROCEDE DE COMMANDE D'UNE MEMOIRE ELECTRONIQUE NON VOLATILE ET DISPOSITIF ASSOCIE			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation _____ N° _____ Date ____/____/____ Pays ou organisation _____ N° _____ Date ____/____/____ Pays ou organisation _____ N° _____ Date ____/____/____ <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»	
5 DEMANDEUR		<input checked="" type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé «Suite»	
Nom ou dénomination sociale		STMICROELECTRONICS SA	
Prénoms			
Forme juridique		Société Anonyme	
N° SIREN		3 . 4 . 1 . 4 . 5 . 9 . 3 . 8 . 6	
Code APE-NAF		3 . 2 . 1 . B	
Adresse	Rue	29, boulevard Romain Rolland	
	Code postal et ville	92120	MONTRouGE
Pays		FRANCE	
Nationalité		FRANCAISE	
N° de téléphone <i>(facultatif)</i>			
N° de télécopie <i>(facultatif)</i>			
Adresse électronique <i>(facultatif)</i>			



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ

REQUÊTE EN DÉLIVRANCE 2/2

REMISE DES PIÈCES DATE 11 JUIL 2002 LIEU 75 INPI PARIS N° D'ENREGISTREMENT 0208755 NATIONAL ATTRIBUÉ PAR L'INPI		Réservé à l'INPI	
Vos références pour ce dossier : <i>(facultatif)</i>		016617 JPG/CC	
6 MANDATAIRE			
Nom		BENTZ	
Prénom		Jean-Paul	
Cabinet ou Société		Cabinet BALLOT	
N° de pouvoir permanent et/ou de lien contractuel			
Adresse	Rue	122, rue Edouard Vaillant	
	Code postal et ville	92593	LEVALLOIS-PERRET CEDEX
N° de téléphone <i>(facultatif)</i>		01.49.64.61.00	
N° de télécopie <i>(facultatif)</i>		01.49.64.61.30	
Adresse électronique <i>(facultatif)</i>			
7 INVENTEUR (S)			
Les inventeurs sont les demandeurs		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non Dans ce cas fournir une désignation d'inventeur(s) séparée	
8 RAPPORT DE RECHERCHE		Uniquement pour une demande de brevet (y compris division et transformation)	
Établissement immédiat ou établissement différé		<input checked="" type="checkbox"/> <input type="checkbox"/>	
Paiement échelonné de la redevance		Paiement en deux versements, uniquement pour les personnes physiques <input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non	
9 RÉDUCTION DU TAUX DES REDEVANCES		Uniquement pour les personnes physiques <input type="checkbox"/> Requête pour la première fois pour cette invention <i>(joindre un avis de non-imposition)</i> <input type="checkbox"/> Requête antérieurement à ce dépôt <i>(joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence) :</i>	
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes		1	
10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire) Jean-Paul BENTZ N° 99-0308 Cabinet BALLOT		VISA DE LA PRÉFECTURE OU DE L'INPI 	

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.



26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



N° 11354*01

REQUÊTE EN DÉLIVRANCE

Page suite N° 1... / 1...

REMISE DE PIÈCE DATE 11 JUIL 2002 LIEU 75 INPI PARIS N° D'ENREGISTREMENT 0208755 NATIONAL ATTRIBUÉ PAR L'INPI		Réservé à l'INPI Cet imprimé est à remplir lisiblement à l'encre noire	
Vos références pour ce dossier (facultatif)		016617 JPG/CC	
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation Date / / N° Pays ou organisation Date / / N° Pays ou organisation Date / / N°	
5 DEMANDEUR			
Nom ou dénomination sociale		Laboratoire Matériaux et Microélectronique de Provence (L2MP)	
Prénoms			
Forme juridique			
N° SIREN			
Code APE-NAF			
Adresse	Rue	Faculté des Sciences de Saint Jérôme, Case 142	
	Code postal et ville	13397	Marseille Cédex 20
Pays		FRANCE	
Nationalité		FRANÇAISE	
N° de téléphone (facultatif)			
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			
5 DEMANDEUR			
Nom ou dénomination sociale			
Prénoms			
Forme juridique			
N° SIREN			
Code APE-NAF			
Adresse	Rue		
	Code postal et ville		
Pays			
Nationalité			
N° de téléphone (facultatif)			
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			
10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire)		Jean-Paul BENTZ N° 99-0308 Cabinet BALLOT 	
		VISA DE LA PRÉFECTURE OU DE L'INPI C. MARTIN 	

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire.
Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI

**PROCEDE DE COMMANDE D'UNE MEMOIRE ELECTRONIQUE NON
VOLATILE ET DISPOSITIF ASSOCIE**

5

L'invention concerne les mémoires électroniques non volatiles, et en particulier les procédés de commande de cellules de mémoire EEPROM présentant un transistor à grille flottante, comportant au moins une
10 étape de fixation d'état de la cellule.

On rappelle que les mémoires EPROM à grille flottante sont programmables électriquement mais ne sont pas effaçables électriquement. Ces mémoires sont effaçables uniquement par rayons ultraviolets. Les
15 mémoires EPROM sont programmées en utilisant un phénomène d'agitation thermique dans le canal de conduction sous l'effet d'une saturation en courant. Ce phénomène est irréversible.

Les mémoires EEPROM sont programmables et
20 effaçables électriquement. Les mémoires EEPROM sont programmées ou effacées par effet tunnel. Les tensions de programmation et d'effacement sont habituellement produites par des circuits internes à la mémoire, tels que des pompes de charge ou des multiplicateurs.

25 Le document présenté par messieurs et Plossu lors de la conférence "43rd IEEE symposium on Circuits and Systems, Lansing, Michigan" tenue du 8 au 11 Août 2000 décrit une cellule EEPROM dans laquelle on utilise un signal de commande réduisant le champ électrique de
30 l'oxyde tunnel durant la programmation et l'effacement de la cellule.

Le document présenté par messieurs Canet, Bouchakour, Harabech, Boivin et Mirabel lors de la conférence "ISCAS-IEEE International symposium on
35 Circuits and Systems, Sydney, Australie" décrit un

signal de commande permettant de réduire la durée de programmation. Les figures 2 et 3 représentent schématiquement une cellule mémoire et les tensions appliquées sur ses électrodes, respectivement lors d'une étape d'effacement et lors d'une étape de programmation. Lors d'un effacement, le substrat, le drain et la source sont mis à la masse, et une impulsion de tension positive est appliquée sur la grille de commande de la cellule mémoire. On définit dans ce cas le rapport entre le potentiel de la grille flottante et le potentiel de la grille de commande par la formule suivante : $K_c = C_{pp} / (C_{pp} + C_{tun} + C_{ox})$, C_{pp} étant la capacité de couplage entre grille de contrôle et grille flottante, C_{tun} étant la capacité entre le drain et la grille flottante, et C_{ox} étant la capacité entre la grille flottante et le substrat. La tension de tunnel est alors définie par $V_{tun} = K_c * V_g$, V_g étant la tension appliquée sur la grille. Lors d'une programmation, la grille de commande et le substrat sont mis à la masse, la source est flottante, et une impulsion de tension positive est appliquée sur le drain. On définit dans ce cas le rapport entre le potentiel de la grille flottante et le potentiel de la grille de commande par la formule suivante : $K_w = C_{tun} / (C_{pp} + C_{tun} + C_{ox})$. La tension de tunnel est alors définie par $V_{tun} = (1 - K_w) * V_d$, V_d étant la tension de drain.

Ces mémoires EEPROM et leur procédé de commande présentent des inconvénients. Pour maintenir une même charge injectée et des performances similaires, un tel signal de commande optimisé implique une augmentation de la tension de polarisation du drain ou de la grille. Il est difficile de réaliser une alimentation de la matrice mémoire générant un niveau de tension de polarisation suffisamment élevé. En outre, cette

cellule mémoire subit un phénomène d'effet tunnel entre bandes de conduction, appelé BTBT en anglais, à l'origine d'une augmentation de la consommation de la cellule. Par ailleurs, les impulsions de programmation et d'effacement optimisées sont délicates à générer et compliquent l'alimentation associée.

Il existe donc un besoin, que l'invention vise à satisfaire, pour un procédé de commande d'une mémoire EEPROM et un dispositif électronique susceptible de mettre en œuvre ce procédé, qui résolvent un ou plusieurs de ces inconvénients.

Le procédé de l'invention, par ailleurs conforme à la définition générique qu'en donne le préambule ci-dessus, est essentiellement caractérisé en ce que l'étape de fixation d'état comprend l'application simultanée d'impulsions de tensions de polarités opposées respectivement sur le drain et sur la grille de commande du transistor à grille flottante, les impulsions présentent une première portion présentant une pente supérieure à $K \cdot 8 \text{MegaVolt/s}$, une deuxième portion présentant une pente comprise entre $K \cdot 1 \text{KiloVolt/s}$ et $K \cdot 1 \text{MegaVolt/s}$, avec $K=1$ lorsque l'impulsion a une polarité positive, $K=-1$ lorsque l'impulsion a une polarité négative.

Selon une variante, les impulsions présentent en outre une troisième portion présentant une pente sensiblement nulle.

Selon encore une variante, les impulsions présentent en outre une quatrième portion présentant une pente inférieure à $K \cdot 16 \text{MegaVolts/s}$.

Selon une autre variante, au moins une étape de fixation d'état est une étape de programmation dans laquelle:

- la tension appliquée sur la grille de commande est négative; et

- la tension appliquée sur le drain est positive.

Selon encore une autre variante, au moins une étape de fixation d'état est une étape d'effacement dans laquelle :

5 -la tension appliquée sur la grille de commande est positive; et

 -la tension appliquée sur le drain est négative.

 On peut encore prévoir que les tensions appliquées simultanément sur la grille de commande et sur le drain
10 ont une même amplitude.

 Selon une variante, le transistor présente un substrat (B), et le procédé comprend en outre une étape d'application de la tension du drain sur le substrat, au moins lors de ladite étape de fixation d'état de la
15 cellule.

 Selon une autre variante, les polarités des tensions appliquées sont définies par rapport à une tension de référence et le substrat présente une masse dont la tension est la tension de référence.

20 Selon encore une variante, les amplitudes desdites tensions appliquées sont inférieures à 10 volts.

 Selon encore une autre variante, la différence de potentiel entre la grille de commande et le drain est comprise entre 12 et 16 volts lors de l'application
25 simultanée des tensions.

 On peut également prévoir que la cellule présente en outre un transistor de sélection, dont la source est connectée au drain du transistor à grille flottante et qu'une tension inférieure à 12 volts est appliquée sur
30 la grille du transistor de sélection, le cas échéant lors de l'étape de programmation ou d'effacement de la cellule.

 Selon une variante, la tension appliquée sur le drain du transistor de sélection présente la même
35 polarité que la tension appliquée sur le drain du

transistor à grille flottante lors de ladite étape de fixation d'état.

L'invention concerne également un dispositif électronique comprenant au moins une cellule mémoire EEPROM et une alimentation de la cellule, le dispositif
5 étant susceptible de mettre en œuvre le procédé décrit précédemment.

Selon une variante, le dispositif électronique est réalisé sur un substrat de type P, la cellule présente
10 un transistor à grille flottante réalisé sur la surface d'un caisson de type P, et le dispositif électronique présente un caisson d'isolement de type N séparant le caisson de type P du substrat de type P.

L'invention sera mieux comprise à la lecture de la description qui suit et à l'examen des figures qui
15 l'accompagnent. Les figures montrent:

-figure 1, un exemple de structure d'une cellule mémoire;

-figure 2, un schéma représentant les tensions d'effacement appliquées sur une mémoire de l'état de la technique;
20

-figure 3, un schéma représentant les tensions de programmation appliquées sur une mémoire de l'état de la technique;

25 -figure 4, un schéma représentant les tensions d'effacement appliquées sur une cellule mémoire selon un mode de réalisation de l'invention;

-figure 5, un schéma représentant les tensions de programmation appliquées sur une cellule mémoire;

30 -figure 6, un diagramme représentant une impulsion de tension optimisée appliquée sur une électrode de la cellule mémoire pendant une étape de fixation d'état;

-figure 7, un schéma représentant un exemple de structure d'une cellule mémoire.

Les valeurs des tensions indiquées par la suite correspondent à des tensions de crête. L'invention propose d'appliquer simultanément des tensions de polarités opposées respectivement sur le drain et la grille de commande du transistor à grille flottante de la cellule mémoire EEPROM, lors d'une étape de fixation d'état -qui est soit une étape d'effacement soit une étape de programmation. Les tensions appliquées sont des impulsions présentant une forme optimisée définie par la suite. On peut ainsi répartir la tension de polarisation entre la grille de commande et le drain lors de l'étape de fixation d'état. On facilite en outre la génération des impulsions optimisées.

La figure 1 représente un exemple de structure d'une cellule mémoire EEPROM 1. La cellule mémoire présente un transistor de sélection Msel et un transistor de mémorisation et de lecture Mlec à grille flottante. Le transistor Msel connecte sélectivement le drain DF du transistor Mlec à une ligne de bit non représentée. Le transistor Mlec présente deux grilles empilées: une grille inférieure flottante FG, et une grille supérieure de commande CG. Ces deux grilles sont séparées par un oxyde interpolysilicium.

Le transistor Mlec comporte une fenêtre tunnel tu, d'une épaisseur de l'ordre de 80 nm, intercalée entre la grille flottante FG et le drain DF. La fenêtre tu laisse passer un courant tunnel entre le drain et la grille flottante du transistor Mlec, lorsque la tension entre les faces de l'oxyde tunnel dépasse un seuil critique. Cette tension correspond à un champ électrique de l'ordre de $10 \cdot 10^6$ V/m. Selon que la tension est positive ou négative, la grille flottante se charge positivement ou négativement. L'empilement des grilles CG et FG forme un condensateur, aux bornes duquel apparaît alors une différence de potentiel

permanente. La conduction du transistor Mlec dépend de la charge dans la grille flottante. Lorsque les transistors Msel et Mlec sont passants, le courant entre la source S du transistor Mlec et le drain DS du transistor Msel dépend de l'état de programmation de la cellule, déterminé par la charge. Une tension de lecture de référence est appliquée sur la grille CG, puis le courant est mesuré et comparé à une valeur de référence. La comparaison fournit une information binaire sur l'état de programmation de la cellule. Le courant de référence correspond au courant obtenu pour une tension seuil vierge de charge de la cellule EEPROM. Cette tension correspond au cas où la grille flottante est déchargée.

Les figures 4 et 5 représentent une cellule mémoire EEPROM comprenant de façon connue en soi un transistor de sélection Msel, un transistor de mémorisation et de lecture Mlec à grille flottante, et un substrat B. Le transistor à grille flottante Mlec présente une grille de commande CG, une grille flottante FG, une source S et un drain DF. Le transistor Msel présente une grille de sélection SG, un drain DS et une source DF connectée au drain du transistor Mlec.

Les diagrammes entourés en traits discontinus correspondent aux tensions appliquées sur les électrodes de la cellule. Les étapes d'effacement et de programmation sont assimilées à des étapes de fixation d'état de la cellule. Lors d'une étape de fixation d'état, on applique simultanément des tensions de polarités opposées respectivement sur le drain et sur la grille de commande du transistor.

Ainsi, pour une différence de potentiel prédéterminée appliquée entre la grille de commande CG et le drain DF, on réduit l'amplitude des tensions

appliquées respectivement sur la grille de commande CG et sur le drain DF. Cette répartition des tensions appliquées sur les électrodes lors d'une étape de fixation d'état permet d'utiliser une alimentation de cellule moins coûteuse et présentant une consommation électrique moindre. On peut notamment utiliser des pompes de plus faible puissance en sortie de cellule. Cette répartition des tensions permet également d'atténuer ou de supprimer l'effet tunnel par courbure des bandes de conduction -aussi appelé BTBT pour Band To Band Tunneling en anglais-. Cette répartition des tensions permet en outre de réduire la tension appliquée sur la grille de sélection du transistor de sélection Msel, le cas échéant. On peut notamment appliquer une tension inférieure à 12 Volts sur la grille du transistor de sélection lors des étapes de fixation d'état.

Comme on peut le constater sur les figures 4 et 5, une alimentation applique en pratique une tension d'une polarité donnée sur le drain DS du transistor Msel. La grille de sélection SG étant alimentée pour rendre le transistor Msel passant lors d'une étape de fixation d'état, la polarité appliquée sur le drain DS est également appliquée sur le drain DF du transistor Mlec.

La figure 4 représente la cellule mémoire 1 et les tensions appliquées sur ses électrodes lors d'une étape d'effacement. La tension appliquée sur la grille de commande CG passe alors d'une tension de référence à une tension positive. La tension appliquée sur le drain DS, et donc également la tension appliquée sur le drain DF, passe d'une tension de référence à une tension négative. On applique ainsi simultanément une tension positive sur la grille de commande CG et une tension négative sur le drain DF.

La figure 5 représente la cellule mémoire 1 et les tensions appliquées sur les électrodes lors d'une étape de programmation. La tension appliquée sur la grille de commande CG passe alors d'une tension de référence à une tension négative. La tension appliquée sur le drain DS, et donc la tension appliquée sur le drain DF, passe d'une tension de référence à une tension positive. On applique ainsi simultanément une tension négative sur la grille de commande CG et une tension positive sur le drain DF.

Les tensions appliquées sur le drain, la source, la grille de commande ou sur le substrat, lors d'une étape de fixation d'état, sont des impulsions et présentent alors un diagramme temporel tel que représenté à la figure 6. Dans les formules suivantes, K est un coefficient défini par $K=1$ lorsque l'impulsion a une polarité positive, $K=-1$ lorsque l'impulsion a une polarité négative. L'impulsion 2 présente une première portion 11 présentant une pente supérieure à $K \cdot 8 \text{ MégaVolt/s}$. Cette pente permet d'établir rapidement l'effet tunnel dans le transistor à grille flottante. Une étape de fixation d'état peut ainsi être accélérée. Une deuxième portion 12 succède à la première portion et présente une pente comprise entre $K \cdot 1 \text{ KiloVolt/s}$ et $K \cdot 1 \text{ MégaVolt/s}$. La deuxième portion sert à fixer le courant tunnel. On choisit dans cette plage une pente sensiblement proportionnelle à la vitesse souhaitée de la cellule. Lorsqu'on conserve la pente de la deuxième portion dans cette plage, on améliore la fiabilité de la cellule mémoire. Le passage de la première portion à la deuxième portion est de préférence réalisé juste avant le passage du courant tunnel. Une troisième portion 13 succède à la deuxième portion et présente une pente sensiblement nulle. Cette troisième portion permet de compenser des variations de l'impulsion lors

du fonctionnement de la cellule. Cette portion garantit en effet que les première et deuxième portions ont été exécutées en intégralité. Une quatrième portion 14 succède à la troisième portion et présente une pente inférieure $K \cdot 16 \text{ MégaVolts/s}$. On utilise de préférence une telle pente pour réduire le temps d'écriture ou d'effacement de la cellule.

De telles impulsions sont générées plus aisément lorsqu'on applique simultanément des tensions de polarités opposées respectivement sur le drain et la grille de commande du transistor à grille flottante, lors d'une étape de fixation d'état. En effet, comme les amplitudes des tensions appliquées sur ces électrodes sont plus réduites, les contraintes sur l'alimentation pour générer de telles pentes sont réduites. Ainsi, pour des pentes données des parties 1 ou 4 de l'impulsion, on peut utiliser une alimentation de structure simplifiée et moins coûteuse.

Les différences de potentiel entre la grille de commande CG et le drain DF ou DS sont de préférence égales lors d'une étape de programmation et lors d'une étape d'effacement. On utilise généralement des tensions adéquates pour que le champ électrique dans l'oxyde tunnel soit identique en valeur absolue, lors des étapes de programmation et d'effacement. On adapte alors les tensions sur la grille de commande CG et sur le drain DF en fonction des coefficients de couplage respectivement en programmation et en effacement. On peut ainsi charger la grille flottante de façon identique en valeur absolue lors d'une étape de programmation et lors d'une étape d'effacement. L'incidence d'une perte de charge sera ainsi identique pour les deux étapes de fixation d'état. Si en outre on utilise des amplitudes égales sur la grille de commande CG et sur le drain DF, on centre les tensions

d'effacement et de programmation par rapport à une tension de lecture.

On peut également envisager une étape de fixation d'état durant laquelle les tensions appliquées simultanément sur la grille de commande et sur le drain DF ont une même amplitude. Cette alternative permet également de simplifier l'alimentation. Une même source de tension dont on modifie la polarité peut alors être utilisée pour alimenter la grille CG et le drain DF. Cette alternative permet également d'utiliser des tensions d'amplitude minimale sur la grille de commande et sur le drain DF. En effet, l'amplitude des tensions appliquées sur la grille CG et sur le drain DF vaut alors la moitié d'une différence de potentiel prédéterminée appliquée entre la grille de commande CG et le drain DF.

On applique également de préférence une différence de potentiel nulle entre le drain DF ou le drain DS et le substrat B, lors d'une étape de fixation d'état de la cellule. La tension du substrat B peut notamment être la tension d'un caisson d'isolement de type N du substrat. Ainsi, dans le cas où le drain DS présente un dopage N et où le caisson d'isolement présente un dopage N, on réduit la consommation de courant sur le drain. Par ailleurs, lors d'une étape de programmation, une tension positive est appliquée sur le caisson d'isolement de type N du substrat. On supprime alors l'effet substrat du transistor de sélection Msel, ce qui permet d'utiliser de façon optimale le niveau de sortie d'une pompe de l'alimentation de la cellule. Avec les définitions données précédemment de K_c et K_w , on obtient alors dans ce cas les équations suivantes:

$$K_c = C_{pp} / (C_{pp} + C_{tun} + C_{ox})$$

$K_w = (C_{tun} + C_{ox}) / (C_{ox} + C_{tun} + C_{pp})$ car la différence de potentiel entre le drain DS et la grille de commande CG est nulle.

La relation $K_c + K_w = 1$ est alors vérifiée pour
5 les étapes de fixation d'état de la cellule.

La différence de potentiel de tunnel V_{tun} , appliquée entre le drain DS et la grille de commande CG vérifie alors la relation $V_{tun} = K_c V_g - (1 - K_w) V_d$, puis la relation $V_{tun} = K_c (V_g - V_d)$, V_g étant la tension de la
10 grille de commande et V_d étant la tension du drain DS. Cette dernière relation permet de déterminer les tensions V_d et V_g à appliquer durant une étape de fixation d'état, pour une différence de potentiel V_{tun} prédéterminée.

15 Dans l'exemple représenté, la source S et le drain DF sont sensiblement au même potentiel lors des étapes d'effacement et de programmation. On peut également laisser la source S flottante lors des étapes d'effacement et de programmation. Cette alternative
20 permet de réduire ou supprimer les perturbations sur d'autres cellules mémoires non sélectionnées durant les étapes de fixation d'état de la cellule 1.

Pour déterminer la polarité des tensions appliquées sur les électrodes de la cellule, on utilise
25 comme tension de référence les niveaux de tension d'électrode utilisés pendant une étape de lecture. On peut également utiliser la tension de la masse du substrat comme tension de référence.

L'invention permet d'utiliser des tensions
30 inférieures à 10 Volts sur la grille de commande et sur le drain DF ou le drain DS. Ces tensions permettent d'utiliser une alimentation de cellule moins coûteuse et présentant une consommation électrique moindre, comme cela a été décrit précédemment. De telles
35 tensions permettent de maintenir une différence de

potentiel V_{tun} comprise entre 12 et 16 Volts. Ces tensions permettent donc de maintenir une différence de potentiel V_{tun} sensiblement égale à celles utilisées dans l'état de la technique. Le champ électrique généré
5 entre la grille flottante et drain DF est donc sensiblement identique aux champs électriques générés dans l'état de la technique. Le fonctionnement de la cellule mémoire n'est donc pas altéré par des tensions de grille de commande et de drain inférieures à celles
10 utilisées dans l'état de la technique.

Des tests ont été effectués avec les paramètres suivants: $|V_g| = 7V$, $|V_d| = 7V$, $|V_{sg}| = 16V$, $|V_b| = 7V$ et $|V_s| = 7V$ et des impulsions d'une durée de 4 millisecondes. On a constaté que la longévité de la
15 cellule mémoire n'était pas affectée par le procédé de commande de l'invention.

L'invention porte également sur un dispositif électronique comprenant une cellule mémoire EEPROM et une alimentation de la cellule mémoire. Le dispositif
20 est conformé pour mettre en œuvre un quelconque des procédés de l'invention décrite. La figure 7 représente schématiquement un exemple de cellule mémoire mettant en œuvre l'invention. La cellule mémoire présente de façon connue en soi un transistor Msel, un transistor
25 Mlec. Ces transistors sont réalisés sur un caisson de type P identifié par CP. Des zones de puits formant des caissons d'isolement NW s'étendent sur la périphérie du caisson CP. La cellule mémoire présente en outre un caisson d'isolement de type N identifié par CIN,
30 joignant les puits NW. Le caisson d'isolement CIN isole le caisson CP d'un substrat de type P identifié par SP. Le caisson d'isolement CIN permet l'application de tensions de polarités opposées sur la grille de commande CG et sur le drain DS ou DF. L'homme de métier saura
35 en pratique adapter l'alimentation des différentes

électrodes de la cellule mémoire pour mettre en œuvre ces procédés.

Bien qu'on ait décrit jusqu'alors une cellule mémoire munie d'un transistor à grille flottante et
5 d'un transistor de sélection, on peut également envisager d'appliquer l'invention à une cellule mémoire ne présentant pas de transistor de sélection. Par ailleurs, bien qu'on ait décrit des polarités associées respectivement à l'effacement et à la programmation, on
10 peut également envisager de permuter les polarités d'effacement et de programmation.

REVENDICATIONS

1. Procédé de commande d'une cellule de mémoire EEPROM
5 (1) présentant un transistor à grille flottante (Mlec), le procédé présentant au moins une étape de fixation d'état de la cellule (1),
-caractérisé en ce que :
-l'étape de fixation d'état comprend l'application
10 simultanée d'impulsions de tensions de polarités opposées respectivement sur le drain (DF, DS) et sur la grille de commande (CG) du transistor à grille flottante (Mlec);
-les impulsions présentant :
15 -une première portion (11) présentant une pente supérieure à $K \cdot 8 \text{MegaVolt/s}$;
-une deuxième portion (12) présentant une pente comprise entre $K \cdot 1 \text{KiloVolt/s}$ et $K \cdot 1 \text{MegaVolt/s}$;
20 avec $K=1$ lorsque l'impulsion a une polarité positive, $K=-1$ lorsque l'impulsion a une polarité négative.
2. Procédé selon la revendication 1, caractérisé en ce
25 que les impulsions présentent en outre une troisième portion (13) présentant une pente sensiblement nulle.
3. Procédé selon la revendication 2, caractérisé en ce
30 que les impulsions présentent en outre une quatrième portion (14) présentant une pente inférieure à $K \cdot 16 \text{MegaVolts/s}$.
4. Procédé selon l'une quelconque des revendications
35 précédentes, caractérisé en ce qu'au moins une étape

de fixation d'état est une étape de programmation dans laquelle:

- la tension appliquée sur la grille de commande est négative; et
- 5 - la tension appliquée sur le drain est positive.

5. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce qu'au moins une étape de fixation d'état est une étape d'effacement dans
10 laquelle :

- la tension appliquée sur la grille de commande est positive; et
- la tension appliquée sur le drain est négative.

15 6. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que les tensions appliquées simultanément sur la grille de commande et sur le drain ont une même amplitude.

20 7. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que :

- le transistor présente un substrat (B);
- le procédé comprend en outre une étape d'application de la tension du drain sur le
25 substrat, au moins lors de ladite étape de fixation d'état de la cellule.

8. Procédé selon la revendication 7, caractérisé en ce que :

- 30 - les polarités des tensions appliquées sont définies par rapport à une tension de référence;
- le substrat présente une masse dont la tension est la tension de référence.



9. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que les amplitudes desdites tensions appliquées sont inférieures à 10 volts.

5

10. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que la différence de potentiel entre la grille de commande et le drain est comprise entre 12 et 16 volts lors de l'application simultanée des tensions.

10

11. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que :

15

-la cellule présente en outre un transistor de sélection (Msel), dont la source (S) est connectée au drain (DF) du transistor à grille flottante (Mlec);

20

-une tension inférieure à 12 volts est appliquée sur la grille du transistor de sélection, le cas échéant lors de l'étape de programmation ou d'effacement de la cellule.

12. Procédé selon la revendication 10, caractérisé en ce que la tension appliquée sur le drain du transistor de sélection présente la même polarité que la tension appliquée sur le drain du transistor à grille flottante lors de ladite étape de fixation d'état.

25

30 13. Dispositif électronique :

-comprenant au moins une cellule mémoire EEPROM (1) et une alimentation de la cellule;
-susceptible de mettre en œuvre le procédé de l'une quelconque des revendications précédentes.

35

9. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que les amplitudes desdites tensions appliquées sont inférieures à 10 volts.
- 5
10. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que la différence de potentiel entre la grille de commande et le drain est comprise entre 12 et 16 volts lors de
- 10 l'application simultanée des tensions.
11. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que :
- 15 -la cellule présente en outre un transistor de sélection (Msel), dont la source (S) est connectée au drain (DF) du transistor à grille flottante (Mlec);
- une tension inférieure à 12 volts est appliquée sur la grille du transistor de sélection, le cas échéant lors de l'étape de programmation ou
- 20 d'effacement de la cellule.
12. Procédé selon la revendication 11, caractérisé en ce que la tension appliquée sur le drain du
- 25 transistor de sélection présente la même polarité que la tension appliquée sur le drain du transistor à grille flottante lors de ladite étape de fixation d'état.
- 30 13. Dispositif électronique :
- comprenant au moins une cellule mémoire EEPROM (1) et une alimentation de la cellule;
- susceptible de mettre en œuvre le procédé de l'une quelconque des revendications précédentes.
- 35

14. Dispositif électronique selon la revendication 13,
caractérisé en ce que :

- le dispositif électronique est réalisé sur un
substrat de type P;
- 5 -la cellule présente un transistor à grille
flottante réalisé sur la surface d'un caisson de
type P;
- le dispositif électronique présente un caisson
d'isolement de type N séparant le caisson de type
10 P du substrat de type P.

114

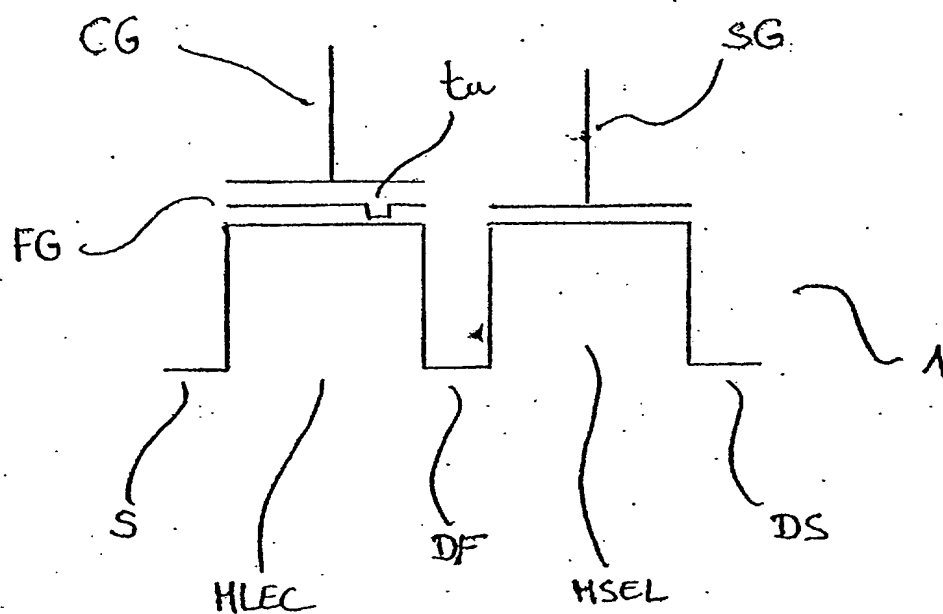


Fig. 1

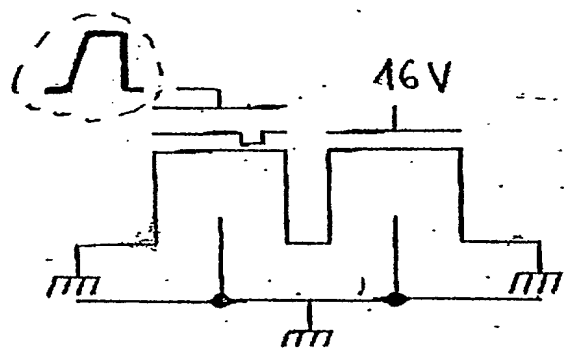


Fig. 2

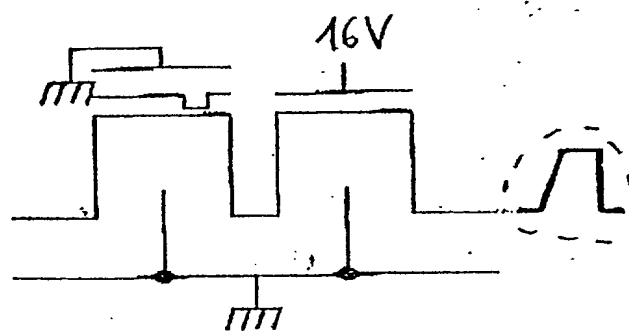
ETAT DE LA
TECHNIQUE

Fig. 3

ETAT DE LA
TECHNIQUE

1/3

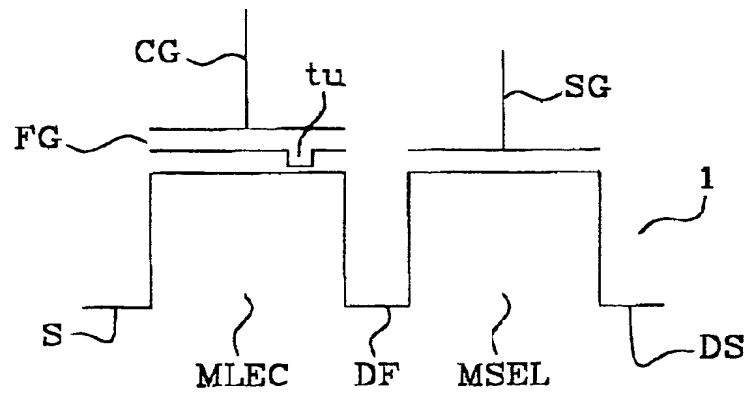


Fig. 1

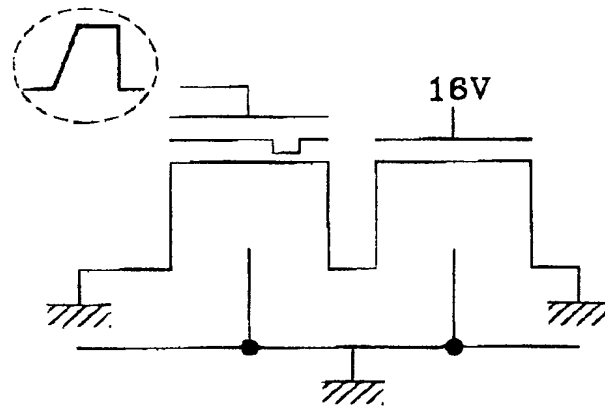


Fig. 2
ETAT DE LA
TECHNIQUE

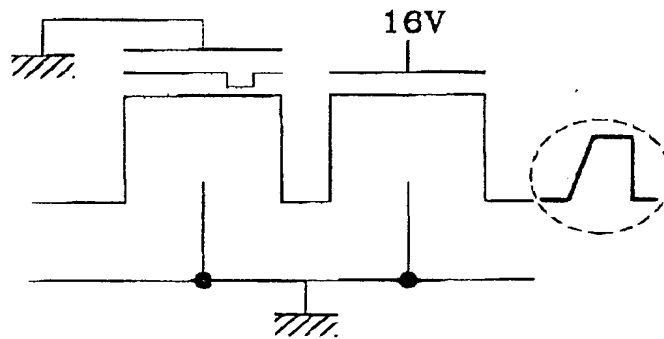
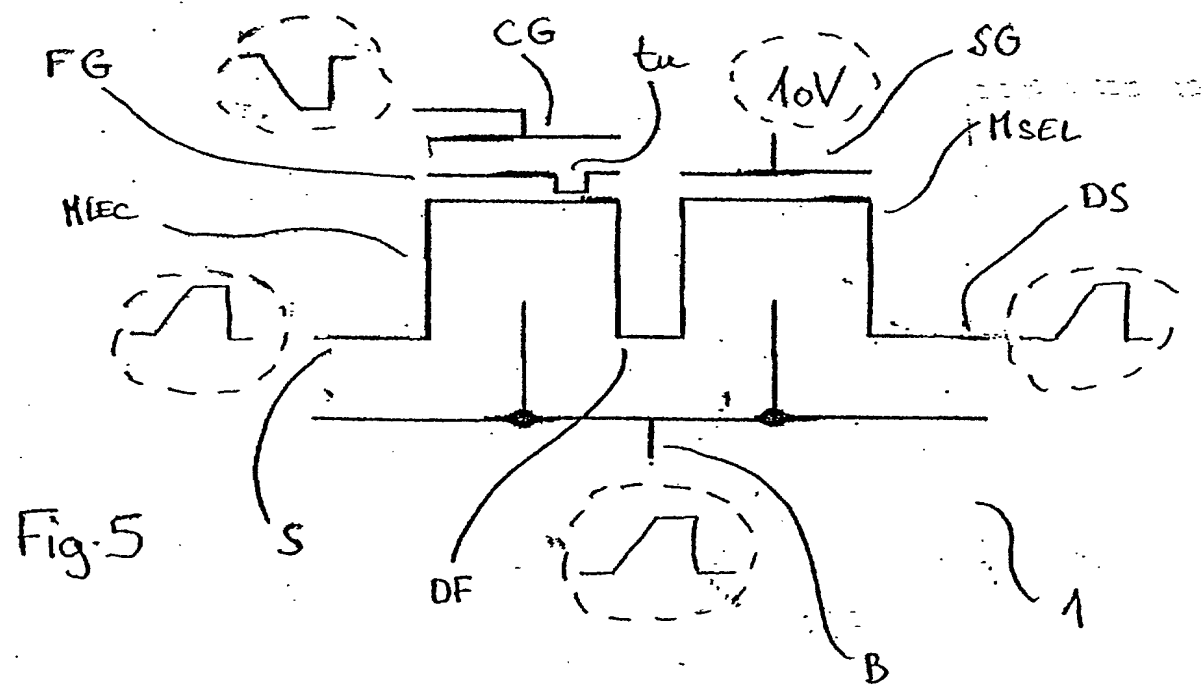
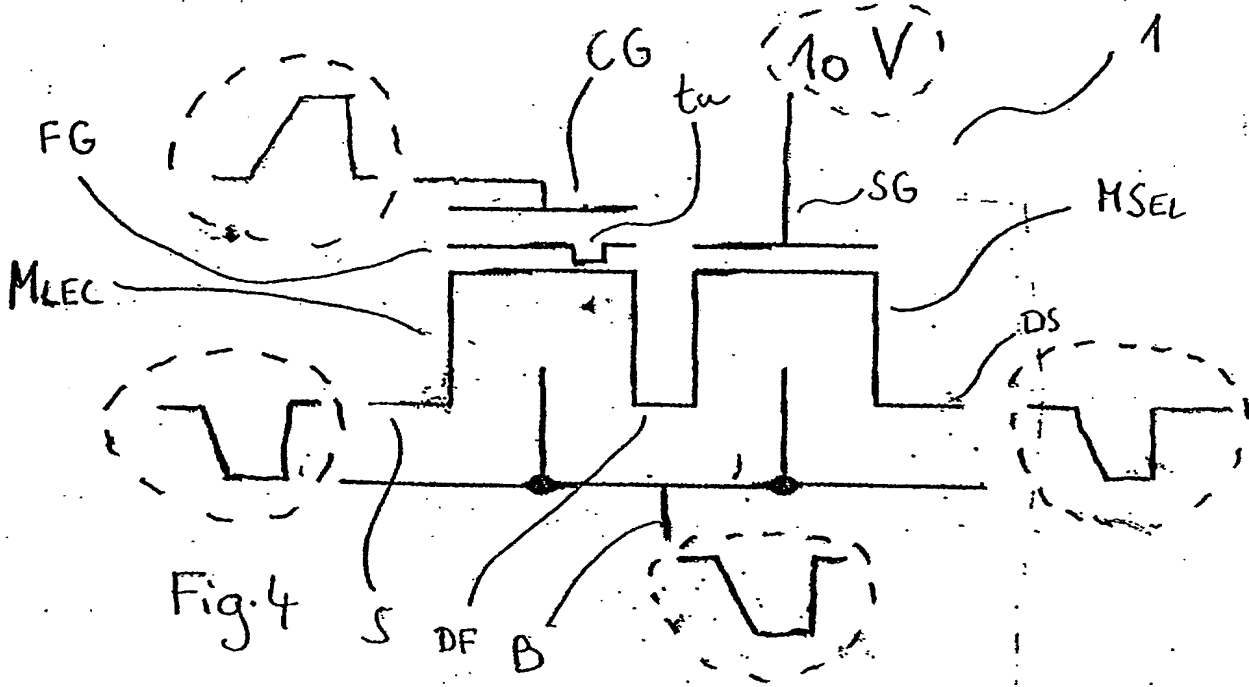


Fig. 3
ETAT DE LA
TECHNIQUE



2/3

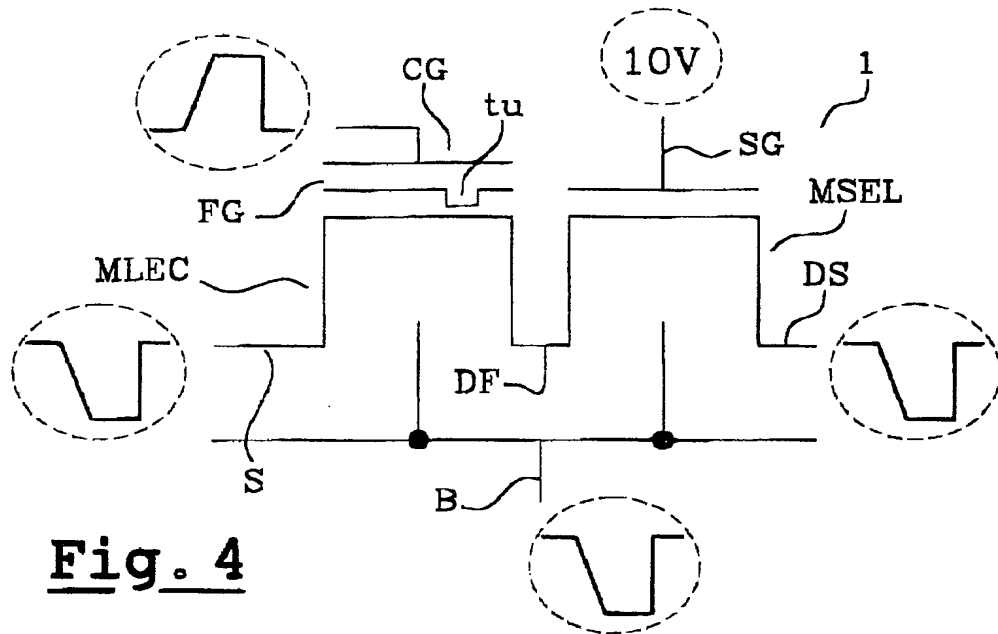


Fig. 4

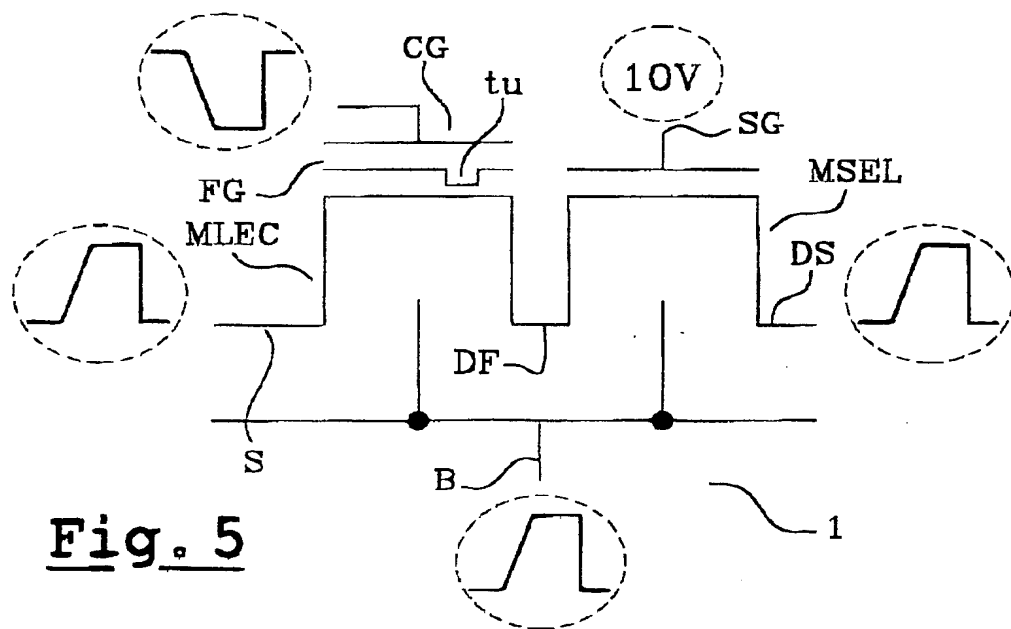


Fig. 5

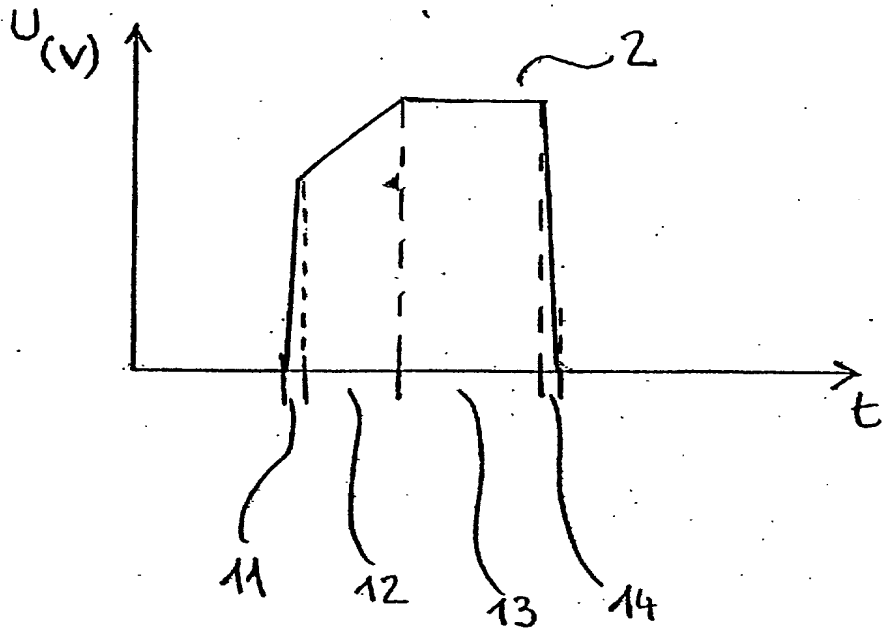


Fig. 6

3/3

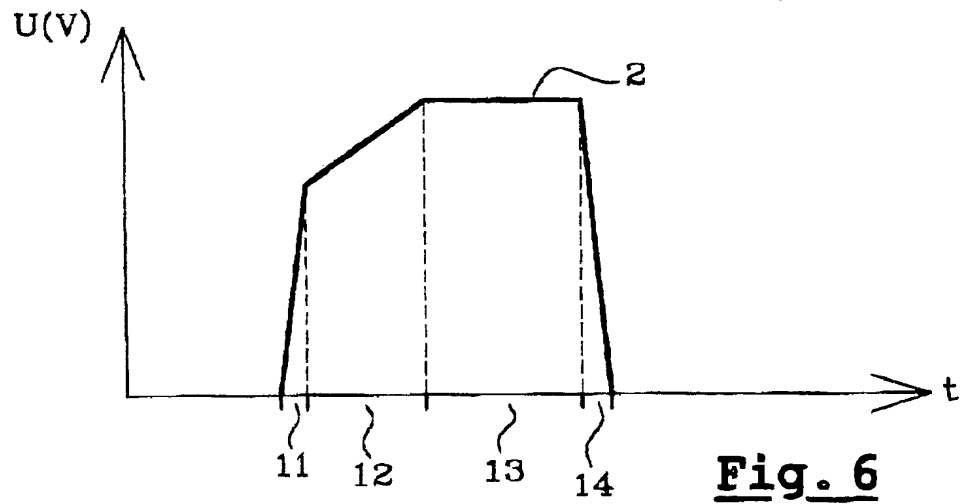


Fig. 6

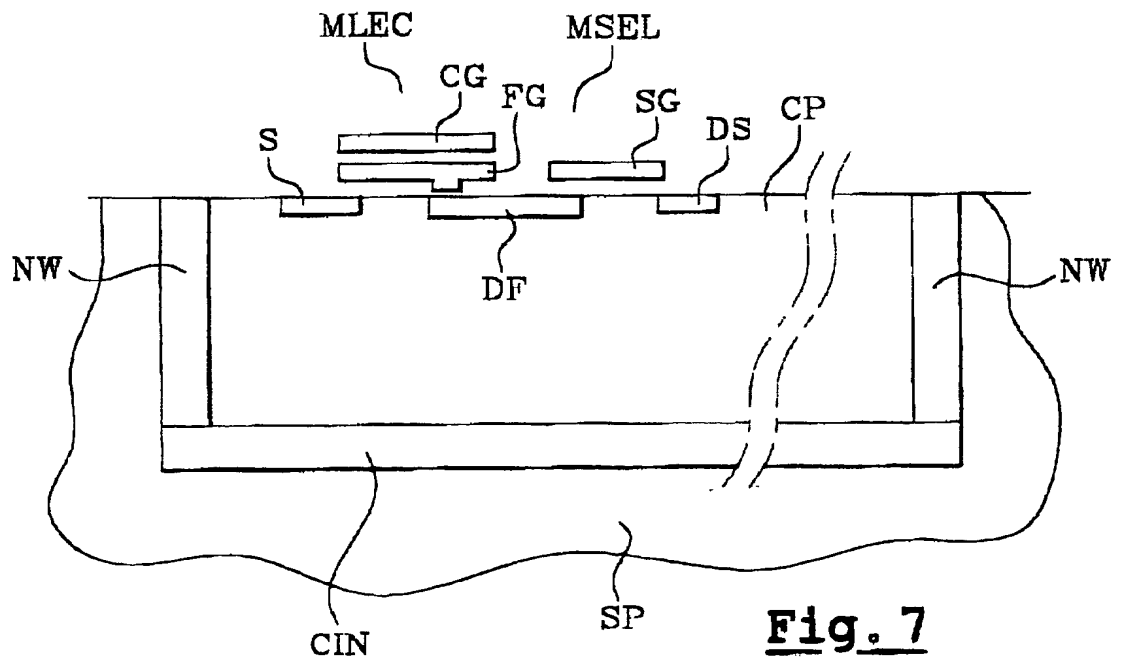


Fig. 7

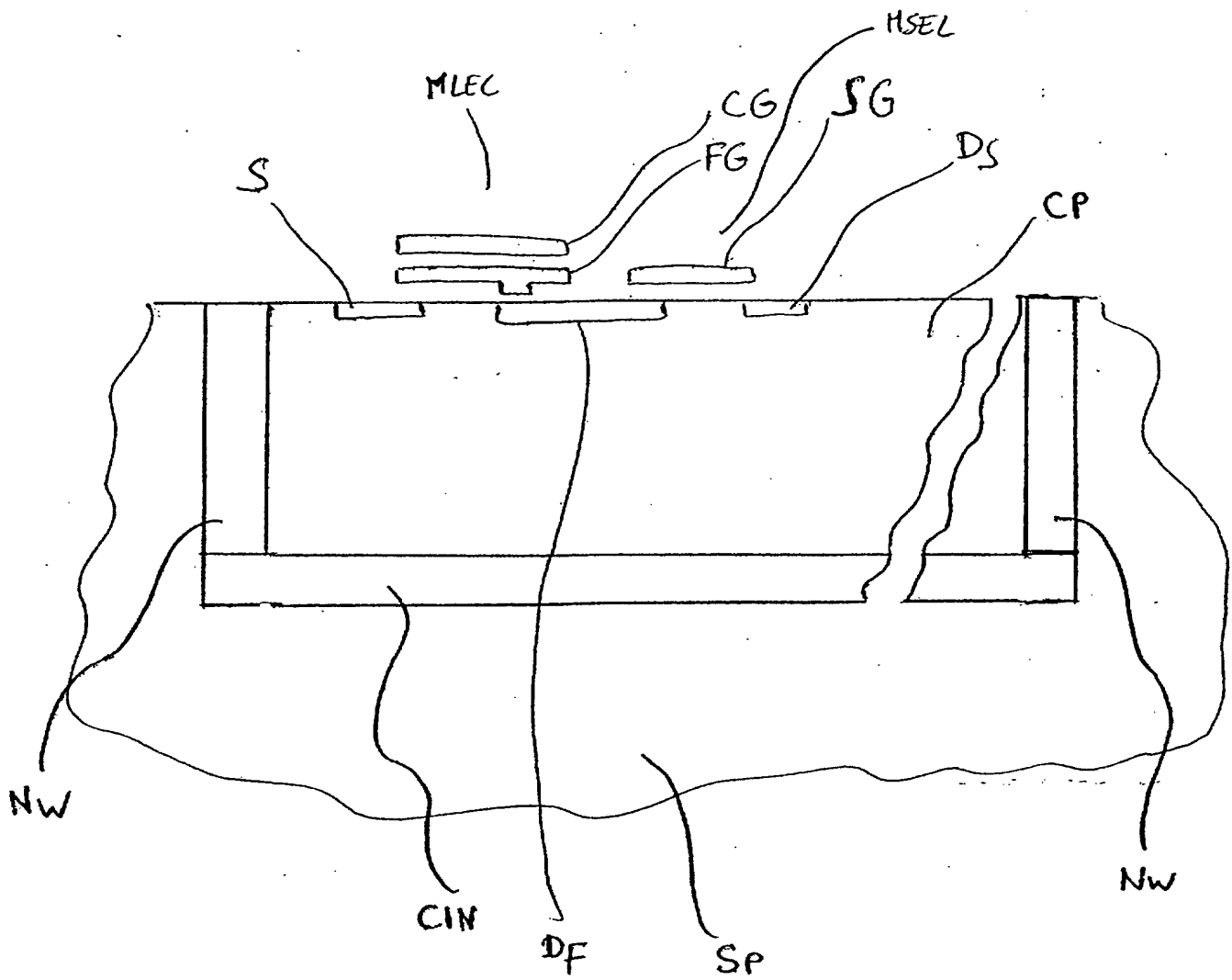


Fig. 7

Code de la propriété intellectuelle - Livre VI

cerfa
N° 11 235*02

UH 113 W 269552

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

Code de la propriété intellectuelle - Livre VI

cerfa
N° 11235-03

LB 113 v. 26037

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

